

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061859
 (43)Date of publication of application : 04.03.1994

(51)Int.Cl.

H03M 1/38
 H03F 3/343
 H03M 1/74

(21)Application number : 04-234311
 (22)Date of filing : 10.08.1992

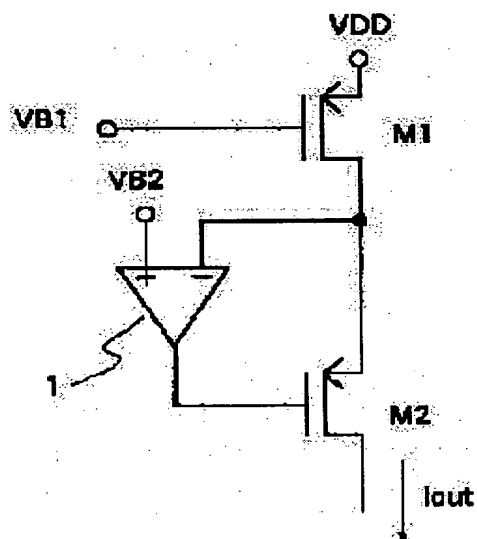
(71)Applicant : HITACHI LTD
 (72)Inventor : TANBA HIROKO
 YAMAKIDO KAZUO
 OKAZAKI TAKAO
 NISHIKAWA NORIMITSU
 KOBAYASHI YOICHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND A/D CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To provide a current source with a high output impedance, a highly accurate current mirror circuit and an A/D conversion circuit with high accuracy and low power consumption.

CONSTITUTION: A source of a MOS transistor(TR) M1 is connected to a power supply VDD and its gate receives a voltage VB1. The device is provided with the MOS TR M1, an operational amplifier 1 whose inverting input terminal connects to a drain of the MOS TRM1 and whose noninverting input terminal receives a voltage VB2, and a MOS TR M2 whose gate receives an output of the operational amplifier and whose source is connected to the drain of the TR M2, and they form a constant current source using the drain of the TR M2 as a current output terminal. A constant current flows to an imaginary ground of the operational amplifier without changing a drain voltage of the MOS TR M1 deciding the current even when a voltage at the current output terminal is subjected to change and then the current source with a high impedance is realized. A highly accurate current mirror is obtained by selecting drain voltages of the current mirror pair identically as an imaginary ground similarly to above.



LEGAL STATUS

[Date of request for examination] 03.08.1999
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3499250
 [Date of registration] 05.12.2003
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-61859 ✓

(43)公開日 平成 6 年(1994) 3 月 4 日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 1/38		9065-5 J		
H 0 3 F 3/343	A	8124-5 J		
H 0 3 M 1/74		9065-5 J		

審査請求 未請求 請求項の数 9 (全 18 頁)

(21)出願番号 特願平4-234311

(22)出願日 平成 4 年(1992) 8 月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 丹場 裕子

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 山木戸 一夫

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 岡崎 孝男

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 玉村 静世

最終頁に続く

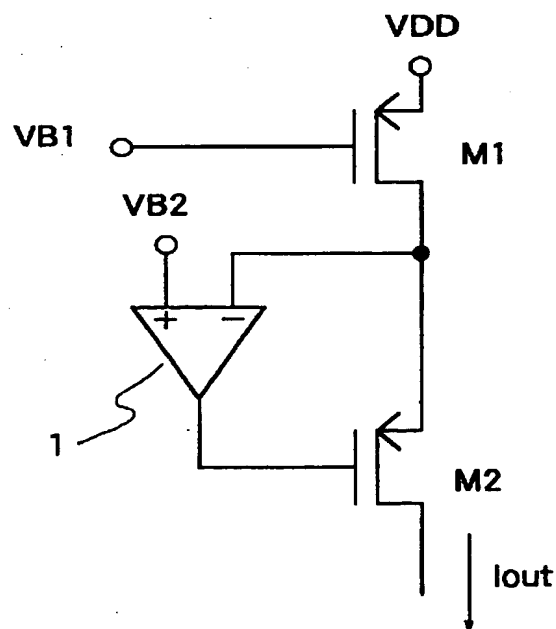
(54)【発明の名称】 半導体集積回路装置及びA/D変換回路

(57)【要約】

【目的】 高出力インピーダンスの電流源、高精度のカレントミラー回路、並びに高精度及び低消費電力のA/D変換回路を提供する。

【構成】 ソースが電源VDDに接続され、ゲートに電圧VB1を受けるMOSトランジスタM1と、トランジスタM1のドレインが反転入力端子に結合され、電圧VB2が非反転入力端子に与えられる演算増幅器1と、該演算増幅器の出力をゲートに受け、トランジスタM1のドレインに結合されたMOSトランジスタM2とを備え、トランジスタM2のドレインを電流出力端子とする定電流源を構成する。演算増幅器の仮想接地は、電流出力端子の電圧が変化しても、電流を決定するMOSトランジスタM1のドレイン電圧を変化させず、一定の電流を流す、高インピーダンスの電流源を実現する。カレントミラー対のドレイン電圧を同様に仮想接地として等しい電圧とし、高精度のカレントミラーを得る。

【図1】



1

【特許請求の範囲】

【請求項1】 ソースが第1の電源に接続され、ゲートに第1の直流電圧を受ける第1導電型の第1のMOSトランジスタと、

この第1のMOSトランジスタのドレインが反転入力端子に結合されると共に、第2の直流電圧が非反転入力端子に与えられる演算増幅器と、

該演算増幅器の出力をゲートに受け、前記第1のMOSトランジスタのドレインに結合された第1導電型の第2のMOSトランジスタとを備えて、該第2のMOSトランジスタのドレインを電流出力端子とする定電流源回路を含んで成るものであることを特徴とする半導体集積回路装置。

【請求項2】 前記第1のMOSトランジスタとゲートを共通とした第1導電型の第3のMOSトランジスタを設け、前記演算増幅器の非反転入力端子をその第3のMOSトランジスタのドレインに結合し、当該第3のMOSトランジスタのドレインを基準電流入力端子とすると共に、第2のMOSトランジスタのドレインを電流出力端子として成る定電流ミラー回路を含んで成るものであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記第1のMOSトランジスタとゲートを共通とした第1導電型の第3のMOSトランジスタを設け、この第3のMOSトランジスタのドレインが非反転入力に結合されると共に、前記第2の直流電圧が反転入力端子に与えられ、且つ前記第1の直流電圧の代わりに出力が前記第1及び第3のMOSトランジスタの共通ゲートに結合された第2の演算増幅器を更に設け、当該第3のMOSトランジスタのドレインを基準電流入力端子とし、前記第2のMOSトランジスタのドレインを電流出力端子として成る定電流ミラー回路を含んで成るものであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 請求項2又は3に記載の定電流ミラー回路の前記基準電流入力端子に第1の定電流源回路を結合し、この第1の定電流源回路は、ソースが第2の電源に接続され、ゲートに第3の直流電圧を受ける第2導電型の第4のMOSトランジスタと、この第4のMOSトランジスタのドレインが反転入力端子に結合されると共に、第4の直流電圧が非反転入力端子に与えられる演算増幅器と、該演算増幅器の出力をゲートに受け、前記第4のMOSトランジスタのドレインに結合された第2導電型の第5のMOSトランジスタとを備えて、該第5のMOSトランジスタのドレインを前記基準電流入力端子に結合して構成され、

さらに、ソースが第2の電源に接続され、ゲートに前記第3の直流電圧を受ける第2導電型の第6のMOSトランジスタと、この第6のMOSトランジスタのドレインが反転入力端子に結合されると共に、前記第4の直流電圧が非反転入力端子に与えられる演算増幅器と、該演算

2

増幅器の出力をゲートに受け、前記第6のMOSトランジスタのドレインに結合された第2導電型の第7のMOSトランジスタとを備えて、該第7のMOSトランジスタのドレインを第2の電流出力端子として構成されて成る定電流ミラー回路を含んで成るものであることを特徴とする半導体集積回路装置。

【請求項5】 ゲートに直流電圧を受け、ドレインが電流出力端子となる第1のMOSトランジスタと、この第1のMOSトランジスタのソースと電源間に設けられた第2のMOSトランジスタと、前記第1のMOSトランジスタのソースと直流電圧との間に接続されていて前記第2のMOSトランジスタと相補的にスイッチ制御される第3のMOSトランジスタとから成る電流スイッチ回路を含んで成るものであることを特徴とする半導体集積回路装置。

【請求項6】 入力アナログ電圧信号を該電圧振幅に比例した電流に変換する入力電圧／電流変換回路と、出力電流が複数ビットのデジタル帰還出力信号によって選択的に制御されるように構成された電流スイッチ回路と、一端が上記入力電圧／電流変換回路の電流出力点と直流電位間に接続されたキャパシタと、該キャパシタの電圧を所定のしきい値電圧と比較する少なくとも一個以上の電圧比較器からなる量子化回路と、該量子化回路の出力を積分及び位相補償するデジタル帰還回路とを備え、該デジタル帰還回路の出力を上記デジタル帰還出力信号とするA/D変換回路において、前記入力電圧／電流変換回路は演算増幅器を含み、該演算増幅器の反転入力端子には抵抗を通して前記入力アナログ電圧信号が印加され、前記演算増幅器の非反転入力端子には直流電圧が供給され、該演算増幅器の出力にはソースが反転入力端子に接続されたMOSトランジスタのゲートが接続され、このMOSトランジスタのドレインおよびソースにはそれぞれ等しい電流が流れる一対の電流源が接続されると共に、当該MOSトランジスタのドレインを前記入力電圧／電流変換回路の電流出力点とし、前記電流スイッチ回路を前記演算増幅器の反転入力端子に接続して成るものであることを特徴とするA/D変換回路。

【請求項7】 前記一対の電流源は、基準電流入力端子と前記MOSトランジスタのソースに結合される第1の電流出力端子とを有する定電流ミラー回路と、前記基準電流入力端子に結合された第1の定電流源回路と、前記MOSトランジスタのドレインに結合された第2の電流出力端子を有する第2の定電流源回路から成り、前記第1の定電流源回路は、ソースが第1の電源に接続され、ゲートに第1の直流電圧を受ける第1導電型の第1のMOSトランジスタと、この第1のMOSトランジスタのドレインが反転入力端子に結合されると共に、第2の直流電圧が非反転入力端子に与えられる演算増幅器と、該演算増幅器の出力をゲートに受け、前記第1のM

OSトランジスタのドレインに結合された第1導電型の第2のMOSトランジスタとを備え、該第2のMOSトランジスタのドレインが前記定電流ミラー回路の基準電流入力端子に結合されて成り、

前記第2の定電流回路は、ソースが前記第1の電源に接続され、ゲートに前記第1の直流電圧を受ける第1導電型の第3のMOSトランジスタと、この第3のMOSトランジスタのドレインが反転入力端子に結合されると共に、前記第2の直流電圧が非反転入力端子に与えられる演算増幅器と、該演算増幅器の出力をゲートに受け、前記第3のMOSトランジスタのドレインに結合された第1導電型の第4のMOSトランジスタとを備え、該第4のMOSトランジスタのドレインが前記第2の電流出力端子とされて成り、

前記定電流ミラー回路は、ドレインを前記基準電流入力端子とし、且つ、ソースが第2の電源に接続された第2導電型の第5のMOSトランジスタと、ドレインを前記第1の電流出力端子とし、且つ、ソースが前記第2の電源に接続された第2導電型の第6のMOSトランジスタと、非反転入力端子が基準電流入力端子に結合され、反転入力端子に第3の直流電圧が供給され、出力が第5及び第6のMOSトランジスタのゲートに結合された演算増幅器とを備えて成る、ものであることを特徴とする請求項6記載のA/D変換回路。

【請求項8】 前記電流スイッチ回路は、ゲートに直流電圧を受け、ドレインが電流出力端子となる第2導電型の第7のMOSトランジスタと、この第7のMOSトランジスタのソースと前記第2の電源間に設けられた第8のMOSトランジスタと、前記第7のMOSトランジスタのソースと直流電圧との間に接続されていて前記第8のMOSトランジスタと相補的にスイッチ制御される第2導電型の第9のMOSトランジスタとから成る電流スイッチ回路を複数個並列接続して成るものであることを特徴とする請求項6又は7記載のA/D変換回路。

【請求項9】 前記第7のMOSトランジスタのゲートに供給すべき直流電圧を出力するバイアス回路を更に備え、このバイアス回路は、基準電流入力端子と電流出力端子を有する定電流ミラー回路と、定電流ミラー回路の基準電流入力端子に結合された第3の定電流源回路と、定電流ミラー回路の電流出力端子に結合された第4の定電流源回路から成り、前記第3の定電流源回路は、ドレインが前記基準電流入力端子に結合された第2導電型の第10のMOSトランジスタと、このMOSトランジスタのソースが反転入力端子に結合されると共に、第3の直流電圧が非反転入力端子に与えられ、出力が前記第10のMOSトランジスタのゲートに結合された演算増幅器と、前記MOSトランジスタのソースと電源との間で、前記抵抗との間での抵抗比に基づいて決定される電流を流す抵抗とを備えて

成り、

前記第4の定電流源回路は、ドレインが前記電流出力端子に結合された第2導電型の第11のMOSトランジスタと、このMOSトランジスタのドレインが非反転入力端子に結合されると共に、第4の直流電圧が反転入力端子に与えられ、出力が前記第11のMOSトランジスタと前記電流スイッチ回路の第7のMOSトランジスタのゲートに結合された演算増幅器とを備え、

1個の半導体集積回路化されて成るものであることを特徴とする請求項8記載のA/D変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、定電流源回路、定電流ミラー回路、電流スイッチ回路などを含む半導体集積回路装置に関し、例えば、絶縁ゲート型電界効果トランジスタ(MOSFET)により構成されたアナログ回路、アナログ/ディジタル(A/D)変換回路、ディジタル/アナログ(D/A)変換回路に利用して有効な技術に関するものである。

20 【0002】

【従来の技術】従来、A/D変換器の一方式であるオーバーサンプリング方式において、入力アナログ電圧信号を電圧/電流変換回路を用いて電流信号に変換し、同時に局部D/A変換回路を電流スイッチ回路で構成することによって、入力信号と帰還信号の差分電流を、一端が直流電位に接地されたキャパシタから成るアナログ積分回路に充電積分するものがある。これに関しては、第1の公知文献として、アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット、エスシー-21(1986年12月)第1003頁から第1010頁(IEEE, JOURNAL OF SOLID-STATE CIRCUITS, SC-21, NO. 6, DECEMBER 1986 PP. 1003-1010)があり、また、公知ではないが、本発明の発明者による先の出願として特願平3-69026号がある。さらに、高精度カレントミラー回路に関しては、第2の公知文献として、アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット、ボリューム25(1990年8月)第997頁から第1004頁(IEEE, JOURNAL OF SOLID-STATE CIRCUITS, VOL25, NO. 4, AUGUST 1990 PP. 997-1004)がある。

【0003】

【発明が解決しようとする課題】上記第1の公知文献に論じられているように、高精度のA/D変換器を実現するためには、入力アナログ電圧信号を電圧/電流変換する回路における一対の電流源は、高出力インピーダンスである必要がある。また、上記一対の電流源は、その誤差電流がオフセット電圧の原因となるため、等しい電流

5

である必要がある。さらに、A/D変換器の絶対利得誤差を小さくするためには、局部D/A変換回路の電流スイッチの電流値と、上記入力アナログ電圧信号の電圧/電流変換回路において局部D/A変換回路のデジタル値に相当するアナログ電圧信号が入力されたときの電流値とが、等しい必要がある。それらのためには、高出力インピーダンスの電流源と高精度のカレントミラー回路が必要である。高精度のカレントミラー回路に関しては、上記第3の公知文献で論じられているが、従来回路構成では、カレントミラー回路の電流出力端子電圧が電流入力端子電圧と等しくない場合や、電流出力端子電圧が変動する場合にはカレントミラー対をなすMOSFETのドレイン電圧の差による電流誤差を生じてしまうという問題点があった。

【0004】また、電流スイッチとして上記第1の公知文献に記載された従来回路構成においては、定電流源となるMOSFETが電源側に接続されており、スイッチ用のMOSFETが電流出力端子側に接続されているためスイッチングノイズの影響を受け易く、オフ時にも電流が流れるため、消費電力大となってしまう。一方、上記特願平3-69026号に記載された回路構成においては、定電流源となるMOSFETが電流出力端子側に接続され、スイッチ用のMOSFETが電源側に接続されていて、当該スイッチ用のMOSFETのオフ時には電流は流れないが、スイッチ用のMOSFETのドレインおよび定電流源となるMOSFETのソースに付加されるストレイ容量（寄生容量）の充放電について考えると、充電は積分容量から、放電はスイッチを介して電源に対して行われる。よって、スイッチがオフしてストレイ容量を充電する際、積分容量に蓄積されている信号電荷の損失があり、特性劣化の原因となることが明らかにされた。

【0005】また、上記第1の公知文献並びに特願平3-69026号に記載された回路構成においては、局部D/A変換回路の電流スイッチの電流出力端が入力電圧/電流変換回路の電流出力点に接続されているため、この入力電圧/電流変換回路を構成する演算増幅器の出力がゲートに接続されソースが該演算増幅器の反転入力端子と接続されているMOSFET（図7のM4に対応されるようなMOSFET）には一対の電流源によって流されるバイアス電流（図7のI_cに対応されるような電流）に加えて入力信号電流（図7のI_{in}に対応されるような電流）が流れる。よって、入力信号電流の変動に応じて上記MOSFETのバイアス点変動するため、入力電圧/電流変換回路において信号歪が生じ、特性劣化の原因となる。あるいは、入力電流の変動が無視できるほど多くのバイアス電流を流す必要があり、消費電力大となるという問題点があった。

【0006】本発明の目的は、高出力インピーダンスの電流源、高精度のカレントミラー回路を提供することに

6

ある。本発明の他の目的はストレイ容量による信号電荷の損失を改善し、かつオフ時に無駄な電流を流さない電流スイッチを提供することにある。本発明のその他の目的はオーバーサンプリング型A/D変換器において、歪を低減した電圧/電流変換回路を提供することにある。本発明の更に別の目的は高精度、低消費電力、低利得誤差、低オフセット電圧のオーバーサンプリング型A/D変換器を提供することにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、第1に、電流源において電流を決定するMOSトランジスタのドレイン電圧の変動を演算増幅器の仮想接地を用いることによって低減するものである。例えば定電流源回路は、図1に示されるように、ソースが第1の電源に接続され、ゲートに第1の直流電圧を受ける第1導電型の第1のMOSトランジスタ（M1）と、この第1のMOSトランジスタのドレインが反転入力端子に結合されると共に、第2の直流電圧が非反転入力端子に与えられる演算増幅器（1）と、該演算増幅器の出力をゲートに受け、前記第1のMOSトランジスタのドレインに結合された第1導電型の第2のMOSトランジスタ（M2）とを備えて、該第2のMOSトランジスタ（M2）のドレインを電流出力端子として構成することができる。斯る定電流源回路を適用した定電流ミラー回路は、図2に示されるように、前記第1のMOSトランジスタ（M1）とゲートを共通とした第1導電型の第3のMOSトランジスタ（M3）を設け、前記演算増幅器（1）の非反転入力をその第3のMOSトランジスタ（M3）のドレインに結合し、当該第3のMOSトランジスタ（M3）のドレインを基準電流入力端子とすると共に、第2のMOSトランジスタ（M2）のドレインを電流出力端子として構成することことができる。また、そのような定電流源回路を適用した別の定電流ミラー回路は、図3に示されるように、前記第1のMOSトランジスタ（M1）とゲートを共通とした第1導電型の第3のMOSトランジスタ（M3）を設け、この第3のMOSトランジスタ（M3）のドレインが非反転入力に結合されると共に、前記第2の直流電圧が反転入力端子に与えられ、且つ出力が前記第1及び第3のMOSトランジスタの共通ゲートに結合された第2の演算増幅器（2）を更に設け、当該第3のMOSトランジスタ（M3）のドレインを基準電流入力端子とし、前記第2のMOSトランジスタ（M2）のドレインを電流出力端子として構成することができる。

【0010】第2に、図5に示されるように、電流スイ

7

ッチ回路の電流源トランジスタ(M11)を電流出力側とし、電源側に設けられた第1のスイッチ用MOSトランジスタ(M12)と並列に接続され、その一端の電極に直流電位が印加された第2のスイッチ用MOSトランジスタ(M13)を設け、双方のMOSトランジスタを相補的に動作させるものである。

【0011】前記定電流源回路、電流ミラー回路、及び電流スイッチ回路は、A/D変換回路に適用することができる。例えばこのA/D変換回路は、図7に示されるように、入力アナログ電圧信号を該電圧振幅に比例した電流に変換する入力電圧/電流変換回路(11)と、出力電流が複数ビットのデジタル帰還出力信号(DLDA)によって選択的に制御されるように構成された電流スイッチ回路(12)と、一端が上記入力電圧/電流変換回路の電流出力点と直流電位間に接続されたキャパシタ(Ci)と、該キャパシタの電圧を所定のしきい値電圧と比較する少なくとも一個以上の電圧比較器からなる量子化回路(14)と、該量子化回路の出力を積分及び位相補償するデジタル帰還回路(15)とを備え、該デジタル帰還回路の出力を上記デジタル帰還出力信号とする。このようなA/D変換回路において、前記入力電圧/電流変換回路(11)は演算増幅器(5)を含み、該演算増幅器(5)の反転入力端子には抵抗(Rin)を通して前記入力アナログ電圧信号(Vin)が印加され、前記演算増幅器(5)の非反転入力端子には直流電圧が供給され、該演算増幅器(5)の出力にはソースが反転入力端子に接続されたMOSトランジスタ(M4)のゲートが接続され、このMOSトランジスタ(M4)のドレインおよびソースにはそれぞれ等しい電流(Ic)が流れる一対の電流源(Ip, In)が接続されると共に、当該MOSトランジスタ(M4)のドレインを前記入力電圧/電流変換回路(11)の電流出力点とし、前記電流スイッチ回路(12)を前記演算増幅器(5)の反転入力端子に接続して構成される。

【0012】

【作用】上記した第1の手段によれば、演算増幅器の仮想接地は、電流出力端子の電圧が変化しても、電流を決定するMOSトランジスタ(M1)のドレイン電圧を変化させることなく、一定の電流を得るように作用する。すなわち高インピーダンスの電流源を実現することができる。さらに、カレントミラー対のドレイン電圧を同様の方法により仮想接地として等しい電圧とすることにより、高精度のカレントミラーを得る。

【0013】上記した第2の手段によれば、電流スイッチ回路におけるスイッチング用の第1及び第2のMOSトランジスタが電源側に接続されているためノイズの影響が少なく、ストレイ容量は第1のMOSトランジスタ(M12)がオフ状態のときに相補的にオン状態にされる第2のMOSトランジスタ(M13)を介して直流電位(VB12)が供給され、かつ該直流電位は電流出力

8

端子電圧とほぼ等しい電圧に設定されるため、ストレイ容量を充電後はソース・ドレイン間電圧が0Vとなり不所望な電流は流れない。

【0014】電流積分型のA/D変換器においては、入力電流(Iin)と局部D/A変換器の出力電流(Iq)との差電流のみが電圧/電流変換用のMOSトランジスタ(M4)の電流変動分となる。このとき、局部D/A変換器(11)が多ビット構成であれば、該差電流は微小電流となる。したがって、電流変動が小さいので歪が少なく、これによって、バイアス電流を少なくすることができ、消費電力も低減できる。

【0015】

【実施例】図1にはこの発明による定電流源回路の一実施例回路図が示されている。同図の各回路素子は、公知のCMOS(相補型MOS)集積回路製造技術によって、1個の単結晶シリコンのような半導体基板上において形成される。特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャネルMOSFET(以下MOSFETをMOSトランジスタとも記す)は、かかる半導体基板表面に形成されたソース領域、ドレイン領域、及びソース領域とドレイン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコンからなるようなゲート電極から構成される。PチャネルMOSFETは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャネルMOSFETの共通基板ゲートを構成する。N型ウェル領域はその上に形成された複数のPチャネルMOSFETの共通基板ゲートを構成する。

【0016】図1において、特に制限されないが、ソースが電源VDDに接続されたPチャネル型のMOSトランジスタM1のゲートには、バイアス電圧VB1が供給される。上記MOSトランジスタM1のドレインと電流出力端子との間には、Pチャネル型のMOSトランジスタM2が設けらる。MOSトランジスタM2のゲートを出力端子に、MOSトランジスタM1のドレインを反転入力端子(-)に、バイアス電圧VB2を非反転入力端子(+)に接続した演算増幅器1が設けられる。本実施例によれば、電流出力端子電流Ioutを得るノードの電圧が変動しても電流源となるMOSトランジスタM1のドレイン電圧は該演算増幅器1の仮想接地としてバイアス電圧VB2と等しく固定されるため電流変動も無く、高インピーダンスの定電流源回路を実現できる。上記MOSトランジスタM2をNチャネル型のMOSトランジスタとし、上記演算増幅器1においてMOSトランジスタM1のドレインを非反転入力端子に、バイアス電圧VB2を反転入力端に接続してもよい。

【0017】図2にはこの発明による定電流ミラー回路の一実施例の回路図が示されている。上記図1のMOSトランジスタM1と並列に、バイアス電圧VB1がゲ-

トに供給され、且つ、ドレインが演算増幅器1の非反転入力端子(+)に接続されたPチャネルMOSトランジスタM3を設け、このMOSトランジスタM3のドレインを電流入力端子とする。本実施例によれば、MOSトランジスタM1、M3のドレイン電圧が演算増幅器1の仮想接地動作によって等しくされるので、MOSトランジスタM1とM3のサイズを等しくすることにより入力電流 I_{in} と等しいミラー出力電流 I_{out} を得ることができ、高精度のカレントミラー回路を実現できる。

【0018】図3にはこの発明の他の実施例に係る定電流ミラー回路の回路図が示されている。上記図2におけるバイアス電圧 V_{B1} に相当するバイアス電圧を演算増幅器2を用いて、MOSトランジスタM3の自己バイアスにより供給するようにしたものである。ここで、演算増幅器1の非反転入力端子、および、演算増幅器2の反転入力端子の各電圧は、共にバイアス電圧 V_{B2} とされる。本実施例によれば、MOSトランジスタM1、M3のドレイン電圧が演算増幅器1及び2の仮想接地として等しくなるので、入力電流 I_{in} と等しいミラー出力電流 I_{out} を得ることができ、高精度のカレントミラー回路を実現できる。

【0019】図4にはこの発明の定電流ミラー回路の他の実施例の回路図が示されている。基準電流源回路として図1の定電流源回路A(MOSトランジスタM1A、M2A、及び演算増幅器3から成る)を用い、その出力電流を入力電流として受け、図3におけるMOSトランジスタM1~M3の導電型をすべてNチャネルに替えて接地電位GND側に設けた定電流ミラー回路Cを設け、MOSトランジスタM2Cのドレインより第2のミラー電流 I_{out2} を出力する。さらに、定電流源回路Aと並列に図1と同様のもう1組の定電流源回路B(MOSトランジスタM1B、M2B、及び演算増幅器4から成る)を設け、MOSトランジスタM2Bのドレインより第1のミラー電流出力 I_{out1} を得る。本実施例によれば、第2の電流出力端子(M2Cのドレイン)にはトランジスタM1Aを流れる電流と等しい出力電流 I_{out2} を得ることができ、さらに定電流源回路Aと定電流源回路Bのバイアス状態は等しいので第1の電流出力端子にもトランジスタM1Aを流れる電流と等しい出力電流 I_{out1} を得ることができる。よって、等しい電流を流す一対の電流源を実現できる。

【0020】図5にはこの発明による電流スイッチ回路の実施例が示されている。特に制限されないが、ゲートに直流バイアス電圧 V_{B11} が供給され、ドレインが電流出力端子となるNチャネルMOSトランジスタM11、このMOSトランジスタM11のソースと接地電位GNDとの間に設けられたNチャネルMOSトランジスタM12、及び前記MOSトランジスタM11のソースと直流電圧 V_{B12} 間に接続されたNチャネルMOSトランジスタM13から成り、MOSトランジスタM12

とM13のゲートには、それぞれ相補的なスイッチング信号が供給されている。本実施例によれば、スイッチング用のMOSトランジスタM12及びM13が電源(接地電位GND、直流電圧 V_{B12})側にあるため電流出力端子(I_{out} 側)へのスイッチングノイズの影響が少なく、MOSトランジスタM11のソースに不可避免的に形成されるストレイ容量 C_s はMOSトランジスタM12がオフ時に相補的にオンになるMOSトランジスタM13を介して直流電位 V_{B12} から充電され、この該直流電位 V_{B12} が電流出力端子電圧とほぼ等しい電圧に設定されるなら、ストレイ容量 C_s を充電後はソース・ドレイン間の電圧が0Vとなり電流は流れない。よって、高精度、低消費電力の電流スイッチ回路を実現できる。

【0021】図6にはこの発明による電流スイッチ回路の他の実施例が示されている。上記図5における、NチャネルMOSトランジスタM11のソースにはインバータINVの出力端子が接続され、そのインバータINVの入力端子にはスイッチング信号CLKが供給される。本実施例によれば、スイッチング用インバータINVがMOSトランジスタM11のソースを常に電源側(VDD又はGND)に固定するためストレイ容量 C_s による電流出力端子のスイッチングノイズの影響が少ない。よって、高精度、低消費電力の電流スイッチ回路を実現できる。

【0022】図7には上記の定電流源回路、定電流ミラー回路、及び電流スイッチ回路を適用したこの発明に係る電流積分型のA/D変換回路の実施例の基本構成図が示されている。入力電圧/電流変換回路11の入力端子には入力アナログ電圧信号 V_{in} が印加され、抵抗素子 R_{in} を介して演算増幅器5の反転入力端子(N1)に供給される。上記演算増幅器5の非反転入力端子(+)にはバイアス電圧 V_{B3} が供給される。上記演算増幅器5の出力はソースがノードN1に接続されたNチャネルMOSトランジスタM4のゲートに接続され、このトランジスタM4のドレイン及びソース側には電流の等しい一対の電流源 I_p 、 I_n (電流値 I_c)が設けられている。演算増幅器5の反転入力端子(-)若しくはノードN1は、仮想接地としてバイアス電圧 V_{B3} と等しい電圧となるので、アナログ入力電圧信号 V_{in} は比例的に電流信号 $I_{in} = (V_{in} - V_{B3}) / R_{in}$ に変換される。演算増幅器5の反転入力端子(-)に接続された局部D/A変換器12を構成する電流スイッチ回路IDAは、ディジタル帰還回路15の出力値DLDAに対応した電流信号 I_q を出力するように構成されている。これらの差分電流 $I_d = (I_{in} - I_q)$ は、MOSトランジスタM4を通してアナログ積分回路13に流れ、例えばその容量素子 C_i に積分される。このアナログ積分回路13の電圧 V_c は、電圧比較回路を有する量子化回路14で、特に制限されないが、1ビットのディジタル

信号に変換される。このデジタル信号をデジタル帰還回路15を介して出力することによりA/D変換結果Doutを得る。デジタル帰還回路15を多ビットとすれば帰還電流Iqの振幅は入力信号電流Iinの振幅に近い値となり、したがって、差分電流Idは比較的小振幅となる。これにより、MOSトランジスタM4に流れる電流変動が小さいので歪が少なく、更に、これによりバイアス電流Icを少なくすることができるので消費電力も低減可能である。斯るA/D変換回路は、特に制限されないが、オーバーサンプリング型とされ、前記デジタル帰還回路15の出力Doutは図示しないフィルタによって移動平均されて利用される。

【0023】図8乃至図10には図7のA/D変換回路の一例詳細回路が示される。図8における～は図9における～に接続され、図9における～は図10の～に接続される。図8には入力電圧/電流変換回路11及び局部D/A変換回路12におけるバイアス回路の具体例が示され、図9には局部D/A変換回路における電流スイッチ回路部分の具体例が示され、図10にはデジタル帰還回路15の具体例が示される。

【0024】図8において、MOSトランジスタM4のドレイン、ソースに接続された一対の電流源Ip、Inとして、図4に記載の一対の電流源が用いられる。ただし、演算増幅器5の非反転入力端子(+)にバイアス電圧VB3が供給されているので、MOSトランジスタM4のソース即ちMOSトランジスタM1Cのドレインは仮想接地でVB3になる。よって、図4に記載の定電流ミラー回路Cにおける一対の電流源回路のうち演算増幅回路1とMOSトランジスタM2Cは省略されている。この入力電圧/電流変換回路11によれば、高精度の一対の電流源が得られるので、一対の電流源の差電流が常にアナログ積分回路3に流れ込むことにより発生するオフセットを低減することができる。尚、図8の入力電圧/電流変換回路11におけるPチャンネル型MOSトランジスタM3及び電流源IrefはMOSトランジスタM1A、M1Bのバイアス電圧を形成する。

【0025】さらに、局部D/A変換器12の電流スイッチ回路部分12-1は、図5に記載の電流スイッチ回路を複数個用いて構成されている。したがって図5の説明からも明らかなように、出力電流に対するスイッチングノイズの重畳が少なく、高精度、低消費電力の局部D/A変換器12を得ることができる。ここで、1つの電流スイッチ回路に流れる電流をIo、局部D/A変換器における電流スイッチ回路部分12-1のビット数をn、入力電流の最大振幅をImax（入力電圧/電流変換回路11の電流Iinの最大値）とすると、 $I_o = I_{max} / 2^n$ である必要がある。これに誤差を生じるとA/D変換回路の利得誤差の原因となる。よって、正確なIoを得るために必要な、電流スイッチ回路のためのバイアス回路12-2は以下のように構成される。

【0026】図8に示されるように、非反転入力端子(+)に直流電圧VB4が供給された演算増幅器6とその出力がゲートに供給され、ソースが演算増幅器6の反転入力端子(-)に接続されたNチャンネルMOSトランジスタM5が設けられ、該トランジスタM5のソースと接地電位GNDとの間には抵抗素子Rbが接続されている。演算増幅器6の反転入力端子(-)は、VB4と等しい電圧となるから、抵抗Rbには $I_b = V_{B4} / R_b$ の電流が流れる。特に制限されないが、 $V_{B4} =$ 信号(Vin)の最大振幅電圧Vmax、 $R_b = R_{in}$ とすると、 $I_b = I_{max}$ となる。このバイアス電流Ibからカレントミラー比が $1/2^n$ となるようにカレントミラーを採ってIoを決定すれば、前記 $I_o = I_{max} / 2^n$ を実現できる。ここで、従来のカレントミラー回路を用いたのでは、ドレイン電圧の差によって大きな電流誤差を生じ、利得誤差が大きくなってしまいう問題があった。したがって、図8に示すように、バイアス電流Ibを、PチャンネルMOSトランジスタにて構成した図3に記載の定電流ミラー回路の入力電流(Iin)とし、電流出力端側にはそのバイアス電流Ibと等しい、あるいはカレントミラー比だけ異なる電流Ib'を得る。バイアス回路12-2の電流出力端には反転入力端子(-)にバイアス電圧VB3が供給された演算増幅回路9によって自己バイアスをかけたNチャンネルMOSトランジスタM8を接続する。このトランジスタM8のソースと接地電位GNDとの間にはゲートを電源VDDに接続したNチャンネルMOSトランジスタM9を設け、前記M8のゲート電圧を決定する演算増幅回路9の出力を、局部D/A変換器用の電流スイッチ回路のバイアス電圧とした。このとき電流スイッチ回路の単位電流が $I_o = I_b / 2^n$ となるようにMOSトランジスタM8と電流スイッチトランジスタM11のW/Lが決められる。トランジスタM8のドレインと電流スイッチトランジスタM11のドレイン電圧は共に演算増幅回路9の仮想接地としてVB3となるので、W/Lの比によってのみ決まる高精度な電流Ioを得ることができる。尚、MOSトランジスタM9は電流スイッチ回路のMOSトランジスタM12に対応して設けられている。

【0027】上記バイアス回路12-2においては、一つの電流スイッチ回路に流れる電流Ioを決定するために、抵抗素子RinとRbの抵抗比に依存して決定される電流と、MOSトランジスタM8と電流スイッチトランジスタM11とのW/Lの比を利用し、前記抵抗素子Rin及びRbの夫々には絶対的に高精度な抵抗値を要求していない。このことは、前記抵抗素子Rin、Rbを外付け抵抗素子とせずに同一半導体基板上に構成して所期の電流精度を得られるようにする。すなわち、半導体基板上に抵抗素子を造り込む場合には一般的に半導体領域に対するインプラなどの工程における製造プロセスのばらつきによって抵抗値それ自体は比較的大きくば

らつくが、抵抗素子 R_{in} 及び R_b がともに同じ様にばらつくのでその比は製造プロセスのばらつきの影響を受けないからである。前記抵抗素子 R_{in} 及び R_b のばらつきを完全同一にするには、半導体基板上において双方の抵抗素子を相互に近いに配置したほうが望ましい。

【0028】尚、図9においてPチャンネル型MOSトランジスタ M_{11} 、 M_{12} 、 M_{13} によって構成される複数の電流スイッチ回路は、ディジタル帰還回路15の出力DLDAにしたがって補正用電流並びにオーバーサンプル用の電流を差分電流 I_d に付加する回路である。補正用の電流とは、アナログ積分回路の前段にサンプリングスイッチを設けないようにしたときの誤差を補正するためのものである。サンプリングスイッチを設けないようにしたのは、同スイッチのスイッチングノイズによってA/D変換特性が劣化しないようにするためである。このように、各サンプリング周期若しくは各動作サイクルにおいて100%サンプリング期間としたとき、ディジタル積分演算などの処理は次サイクルで行われる。この処理結果が局部D/A変換出力すなわち帰還電流信号に反映されるまでの帰還電流の誤差を、その補正用電流によって補正することによって相殺する。

【0029】図11乃至図15には前記図8に示される演算増幅器の一例回路が示される。図11は演算増幅器5、6に対応され、図12は演算増幅器2、9に対応され、図13は演算増幅器3、4、8に対応される。図14は演算増幅器7に対応され、各図においてVDDは電源電圧、GNDは接地電位、OUTは差動段の出力に通ずる出力端子、COUTは位相補償回路に通ずる出力端子、-は反転入力端子、+は非反転入力端子、G1、G2、G3はバイアス電圧、PDは回路を初期化するための制御信号である。

【0030】図11に示される演算増幅器(5、6)は、Pチャンネル型の差動入力MOSトランジスタ M_{a2} 及び M_{a3} と、Nチャンネル型のMOSトランジスタ M_{a4} 及び M_{a5} から成るカレントミラー負荷とによって構成された差動段、そしてPチャンネル型MOSトランジスタ M_{a7} とNチャンネル型MOSトランジスタ M_{a8} から成る出力段を備える。出力段の入力(OUTに通ずるノード)と出力(COUTに通ずるノード)の間には、帰還時における発振防止用の位相補償回路としてトランジスタ M_{a6} 及び容量素子CCが介在されている。MOSトランジスタ M_{a10} 及び M_{a11} は当該位相補償回路のMOSトランジスタ M_{a6} のためのバイアス電圧を形成する。なお、Pチャンネル型のMOSトランジスタ M_{a1} 、 M_{a7} 、 M_{a9} は電流源を構成し、Nチャンネル型のMOSトランジスタ M_{p1} 乃至 M_{p5} はパワーダウン用のスイッチ素子とされる。図11の演算増幅器の端子COUTは、対応するMOSトランジスタ(図8の M_4 、 M_5)のゲートに結合される。

【0031】図12に示される演算増幅器(2、9)

は、図11に示される演算増幅器に対して前記出力段が省かれて構成される。これは図12に示される演算増幅器が対応される図8の演算増幅器2、9の出力にゲートが結合されるMOSトランジスタ M_{3C} 、 M_8 が、実質的に図11の出力用トランジスタ M_{a8} として機能しているからである。図12において端子OUTは、MOSトランジスタ M_{3C} 、 M_8 のゲートに結合され、端子COUTは当該演算増幅器の非反転入力端子(+)に結合される。

【0032】図13に示される演算増幅器(3、4、8)は、Nチャンネル型の差動入力MOSトランジスタ M_{b3} 及び M_{b4} と、Pチャンネル型のMOSトランジスタ M_{b1} 及び M_{b2} から成るカレントミラー負荷とによって構成された差動段、そしてPチャンネル型MOSトランジスタ M_{b7} とNチャンネル型MOSトランジスタ M_{b8} から成る出力段を備える。出力段の入力(端子OUTに通ずるノード)と出力(端子COUTに通ずるノード)の間には、帰還時における発振防止用の位相補償回路としてトランジスタ M_{b6} 及び容量素子CCが介在されている。MOSトランジスタ M_{b9} 及び M_{b10} は当該位相補償回路のMOSトランジスタ M_{b6} のためのバイアス電圧を形成する。なお、Nチャンネル型のMOSトランジスタ M_{b5} 、 M_{b8} 、 M_{b11} は電流源を構成し、MOSトランジスタ M_{p1} 乃至 M_{p5} はパワーダウン用のスイッチ素子とされる。トランジスタ M_{1b1} 及び M_{1b2} によって構成されるCMOSインバータは前記制御信号PDを反転させる。図13の演算増幅器の端子COUTは前記MOSトランジスタ(M_{2A} 、 M_{2B} 、 M_{2D})のゲートに結合される。

【0033】図14に示される演算増幅器は、図13に示されるものに対して前記出力段が省かれて構成される。これは図14に示される演算増幅器が対応される図8の演算増幅器7の出力にゲートが結合されるMOSトランジスタ M_{3D} が、実質的に図13の出力用トランジスタ M_{b7} として機能しているからである。図14において端子OUTはMOSトランジスタ M_{3D} のゲートに結合され、端子COUTは当該演算増幅器の非反転入力端子(+)に結合される。

【0034】図15には前記バイアス電圧VB2、VB3、VB4を形成する回路例が示される。すなわち、演算増幅器の非反転入力端子(+)に基準電圧発生回路VREFで発生された基準電圧が供給され、反転入力端子(-)にはセクタSELECTORの出力が供給されて成る非反転増幅器が設けられ、該増幅器の出力と、その出力電圧を抵抗分圧することによって、所定のバイアス電圧を形成する。前記セクタSELECTORは、前記基準電圧発生回路VREFの製造ばらつきによる基準電圧の誤差を修正するための電圧を発生するトリミング回路によって構成される。

【0035】次に図8乃至図10に示されるA/D変換

器を低電圧動作させる場合に当該回路を構成するMOSトランジスタのしきい値電圧 (V_{th}) の使い分けについて説明する。先ず図16には図8及び図9に示されるMOSトランジスタのしきい値電圧の一例が示される。MOSトランジスタのしきい値電圧は標準 V_{th} と低 V_{th} に大別される。図16に示されるしきい値電圧 (V_{th}) はMOSトランジスタのソースに対するゲートの電位を意味する。以下の説明では、特に制限されないが、電源電圧 V_{DD} は2.7 [V] ~ 3.6 [V] の中から選ばれた電圧であり、接地電位 GND は0 [V]、
10 入力電圧 V_{in} の振幅は0.6 [V] ~ 1.8 [V]、そしてバイアス電圧 $V_{B2} \sim V_{B4}$ は図15の関係に従うものとされ、 $V_{B2} = 1.8$ [V]、 $V_{B4} = 1.2$ [V]、 $V_{B3} = 0.6$ [V] とされる。

【0036】図8に示されるMOSトランジスタ $M2A$ 、 $M2B$ 、 $M2D$ が低 V_{th} MOSトランジスタによって構成されるのは、夫々のゲートに出力が接続される演算増幅器3、4、8の出力段が非飽和動作しないようにするためである。それらの演算増幅器に対応される図13の回路において、その出力端子 $COUT$ にゲートが
20 接続されるMOSトランジスタ ($M2A$ 、 $M2B$ 、 $M2D$) のしきい値電圧が相対的に高い標準 V_{th} であると、当該演算増幅器の出力端子 $COUT$ のレベルが下がり、これはその演算増幅器の出力段構成用MOSトランジスタ $Mb8$ のドレイン電圧を下げることになり、斯るドレイン電圧の低下は当該MOSトランジスタ $Mb8$ を非飽和領域で動作させることになり、動作上必要なドレイン電流を得られなくなるからである。

【0037】図8に示されるMOSトランジスタ $M3D$ は標準 V_{th} のMOSトランジスタとされる。このトランジスタ $M3D$ は図13に示される演算増幅器の出力段構成用MOSトランジスタ $Mb7$ に対応されるため、低
30 V_{th} である必要性がないからである。

【0038】図8に示される演算増幅器5、6は共に図11に示される回路を備えるが、演算増幅器5の出力がゲートに接続されるMOSトランジスタ $M4$ は標準 V_{th} をであり、これに対して演算増幅器6の出力がゲートに接続されるMOSトランジスタ $M5$ は低 V_{th} であるのは、演算増幅器5、6に供給されるバイアス電圧の相違による。すなわち、トランジスタ $M5$ に標準 V_{th} の
40 MOSトランジスタを使用すると、図11のMOSトランジスタ $Ma7$ にとってそのドレインの電圧レベルが高過ぎる。また、トランジスタ $M4$ には低い V_{th} のMOSトランジスタを使用しても良い。

【0039】ここで、図11においてMOSトランジスタ $Ma4$ 、 $Ma5$ が低 V_{th} MOSトランジスタであるのは、当該MOSトランジスタ $Ma4$ 、 $Ma5$ のしきい値電圧が高いと、結局入力MOSトランジスタ $Ma2$ のドレイン電圧レベルを押し上げることになって、当該MOSトランジスタ $Ma2$ を非飽和動作させる虞があるか
50

らである。図11においてMOSトランジスタ $Ma8$ が低 V_{th} MOSFETとされるのは、 $Ma8$ のしきい値電圧が高いと、 $Ma3$ のドレイン電圧を上げ $Ma3$ を非飽和動作させるからである。また、差動段を構成するMOSトランジスタ $Ma4$ 、 $Ma5$ が低 V_{th} であるので、これに合わせて当該MOSトランジスタ $Ma8$ も低 V_{th} とすることによって、演算増幅器の不所望なオフセットを無くすようにするためである。図8に示されるMOSトランジスタ $M3C$ 、 $M1C$ のゲートに出力が結合された演算増幅器2にとって、当該MOSトランジスタは、図11の出力段を構成するMOSトランジスタ $Ma8$ に相当する。従って、図11の差動段と同様の構成を備えた演算増幅器2にゲートが結合される前記 $M3C$ 、 $M1C$ は、当該演算増幅器2のオフセット低減のために低 V_{th} とされる。図8の演算増幅器9の出力にゲートが接続された図8及び図9のMOSトランジスタ $M8$ 、 $M11$ についても同様の理由から低 V_{th} のMOSトランジスタとされる。尚、図12の構成が適用される演算増幅器2、9は、入力が0.6Vと低いので、図12のMOSトランジスタ $Ma2$ 、 $Ma3$ は標準 V_{th} とされる。図11の構成が適用される演算増幅器5も同様に入力が0.6Vであるから、差動段の入力MOSトランジスタ $Ma2$ 、 $Ma3$ は標準 V_{th} であってもよい。本実施例においては、演算増幅器の種類を減らすために、演算増幅器6に適用されるべき図11の構成を便宜上演算増幅器5にも適用した。

【0040】図17には前記実施例で説明したA/D変換回路を利用した半導体集積回路の一例としてセルラ用モデムの一実施例ブロック図が示される。

【0041】同図に示されるセルラ用モデム30は、自動車用電話のような携帯用通信端末に利用され、シリコンのような1個の半導体基板に構成される。セルラ用モデム30は、特に制限されないが、ディジタル信号処理プロセッサ (DSP) 31並びにD/A変換器 (D/A) 32及びA/D変換器 (A/D) 33によって構成されるベースバンド部と、ディジタル信号処理プロセッサ (DSP) 34並びにD/A変換器 (D/A) 35及びA/D変換器 (A/D) 36によって構成される中間周波数部を有し、これに内蔵されるマイクロプロセッシングユニット (MPU) 37が双方を制御する。ベースバンド部におけるD/A変換器32はスピーカに音声信号を出力し、A/D変換器33はマイクロフォンからの音声信号を入力し、ディジタル信号処理プロセッサ33はA/D変換されたディジタル信号の帯域圧縮やD/A変換すべきディジタル信号の帯域伸長などの音声帯域に係るディジタル信号処理を行う。中間周波数部におけるディジタル信号処理プロセッサ34は、無線伝送に適したガウシアン・ミニマム・シフト・キーイング (GMSK; Gaussian Minimum Shift Keying) 変調のような変調と検波のためのディ
50

デジタル信号処理を行う。D/A変換器35は、変調されたデジタル信号をD/A変換する。A/D変換器36は復調処理すべきデジタル信号をA/D変換によって得る。前記D/A変換器35の出力及びA/D変換器の入力は高周波部(IF, RF)38に接続される。高周波部38は、D/A変換器35から出力される信号を、例えば800MHzから2GHz程度の無線周波数キャリア信号で変調して所定の送信電力にまで増幅し、アンテナを励振するための高電力増幅を行い、また、前記アンテナを介して受信した信号を増幅して所望の信号を検波し、これを前記A/D変換器36に供給する。

【0042】このセルラ用モデム30に含まれる前記A/D変換器33、36は上記実施例に係る電流積分形式のオーバーサンプリング型A/D変換器であり、これらは高い変換精度を維持しながら低消費電力並びに低電源電圧駆動可能に構成されているから、セルラ用モデム30は、バッテリー駆動に最適化されている。更に、ベースバンド部及び中間周波数部を備えて1チップ化されたアナログ・デジタル混載大規模半導体集積回路化としてのセルラ用モデム30において、A/D変換器33、36はDSPなどの論理回路部からのデジタル雑音混入による変換特性劣化が少なく、高い信頼性を実現することができる。

【0043】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0044】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。上記実施例では、アナログ積分回路として容量素子を用いた補間形のオーバーサンプリングA/D変換器について説明したが、本発明はそれに限定されるものではなく、抵抗素子と容量素子とを直列接続した形式のアナログ積分回路を用いる補間形のオーバーサンプリングA/D変換器、さらには $\Delta\Sigma$ 形、 ΔM 等のA/D変換器、そしてD/A変換器やその他アナログ回路などに広く利用できるものである。また、図1乃至図14の回路において電源電圧VDDを接地電位GNDにいかえ、回路の接地電位を例えば、-3Vのような負の電源電圧に入れ換えることができる。また、各MOSトランジスタの導電型は、使用する電源電圧の極性に応じて、図1乃至図14の場合とはすべて逆にしてもよい。更に、低電源電圧動作を考慮しなくても済む場合には低V_{th}MOSトランジスタの使い分けは必ずしも必要ない。

【0045】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0046】(1) 電流源において電流を決定するMOSトランジスタのドレイン電圧の変動を演算増幅器の仮想接地を用いることによって低減でき、出力インピーダンスを高くすることができる。また、高精度のカレントミラー回路、高精度の一对の電流源を得ることができる。

(2) 電流スイッチ回路の電流源トランジスタを電流出力側とし、電源間に設けられたスイッチ用MOSトランジスタと並列に直流電圧間に別のMOSトランジスタを設け、双方を相補的にスイッチ動作させることにより、スイッチングノイズの重畳が少なく、高精度、低消費電力化を実現できる。

(3) 入力アナログ信号電圧/電流変換用の演算増幅器の反転入力端子に電流スイッチ回路で構成された局部D/A変換器の電流出力端子を接続するから、入力電圧/電流変換回路のトランジスタ(M4)に流れる電流(I_c+I_d)のうち入力電圧(V_{in})によって変動するのは微小な差電流I_d=I_{in}-I_qのみで、そのMOSトランジスタ(M4)の動作点の電流変動は小さいので、その様なトランジスタ(M4)に流すべきバイアス電流I_cを増加することなく、入力電圧/電流変換時に発生する信号電流歪を改善ができ、高精度、低消費電力のA/D変換回路を実現できる。

(4) 電流スイッチ回路の電流源トランジスタ(M1)に流れる電流I_oを決定するために、抵抗素子(R_{in}, R_b)の抵抗比と所定のトランジスタのW/Lの比を利用することにより、抵抗素子それ自体の絶対値的に高精度な抵抗値が要求されず、前記抵抗素子を外付け抵抗素子とせず同一半導体基板上に構成して所期の電流精度を得られるようになる。

【図面の簡単な説明】

【図1】この発明による定電流源回路の一実施例回路図である。

【図2】この発明による定電流ミラー回路の一実施例回路図である。

【図3】この発明による定電流ミラー回路の他の実施例回路図である。

【図4】この発明による定電流ミラー回路の別の実施例回路図である。

【図5】この発明による電流スイッチ回路の一実施例回路図である。

【図6】この発明による電流スイッチ回路の他の実施例回路図である。

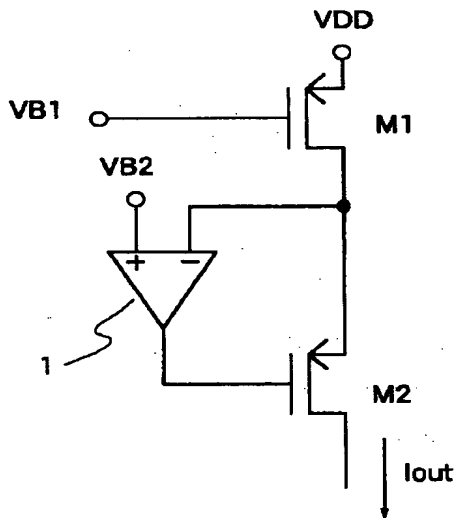
【図7】この発明によるA/D変換回路の原理的な一実施例回路図である。

【図8】図7に示されるA/D変換回路に含まれる入力電圧/電流変換回路及び局部D/A変換回路のバイアス回路を示す一例詳細回路図である。

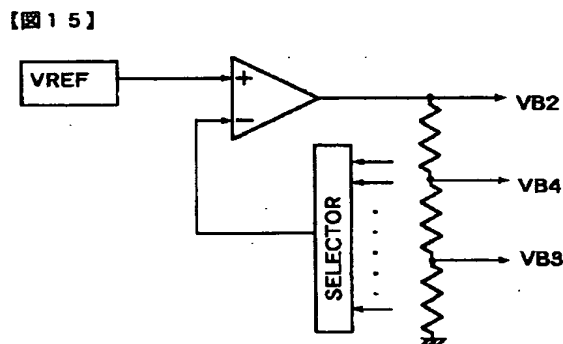
【図9】図7に示されるA/D変換回路に含まれる電流スイッチ回路部分の一例詳細回路図である。

【図 17】実施例で説明した A/D 変換回路を適用したセルラ用モデム LSI のブロック図である。

【圖 1】

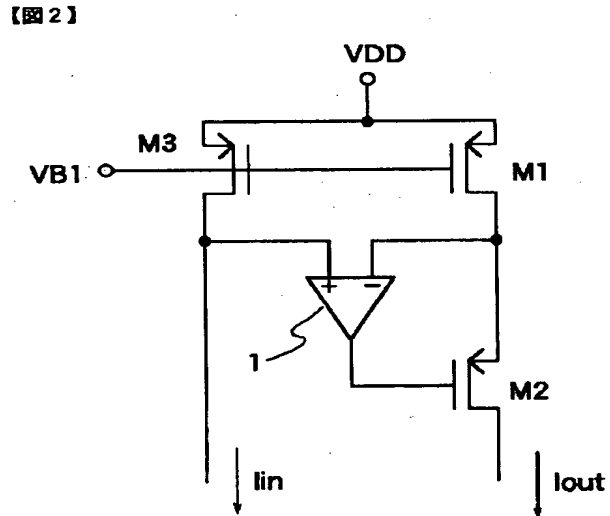


【図 15】



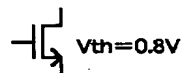
CLK, DLDA スイッチ切り替え信号

【図 2】

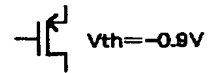


【图 16】

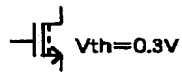
【圖 16】



標準Vth NMOS



標準Vth PMOS



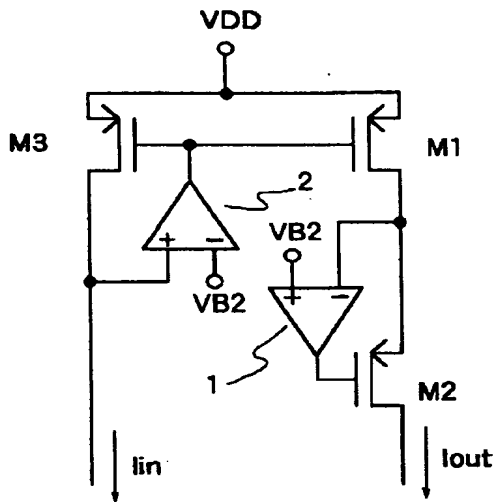
低 V_{th} NMOS



低 V_{th} PMOS

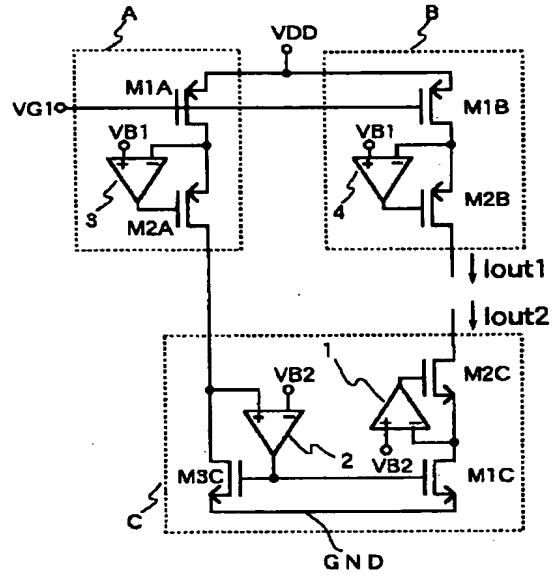
【図 3】

【図 3】



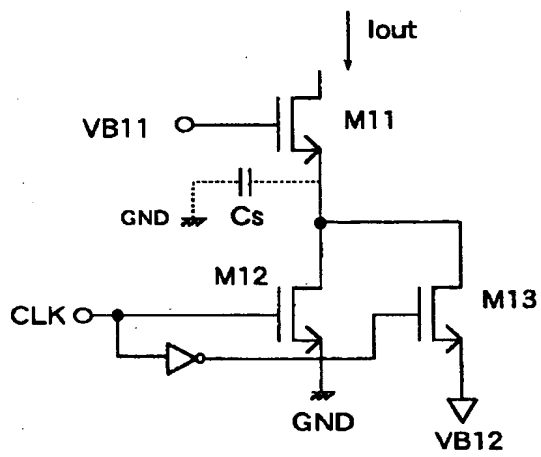
【図 4】

【図 4】



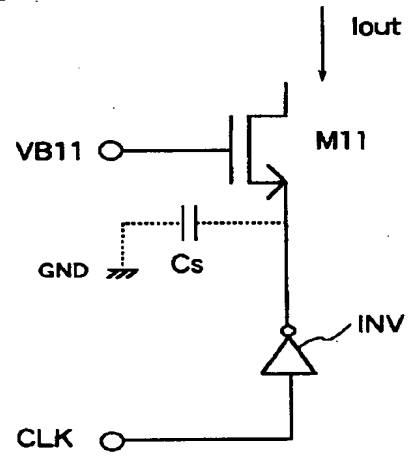
【図 5】

【図 5】

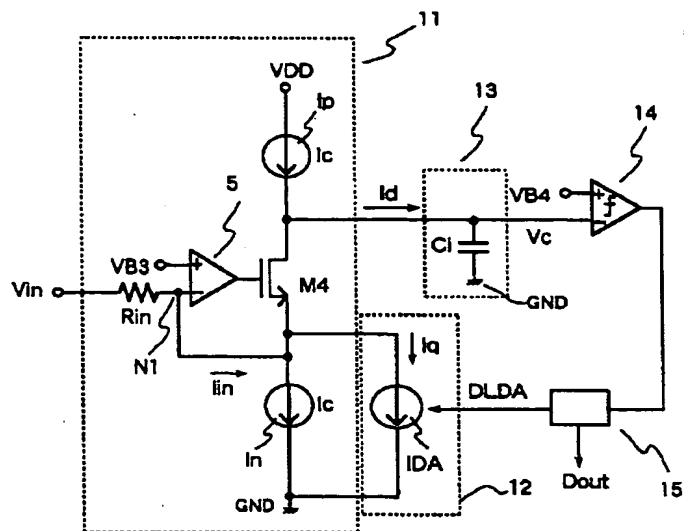


【図 6】

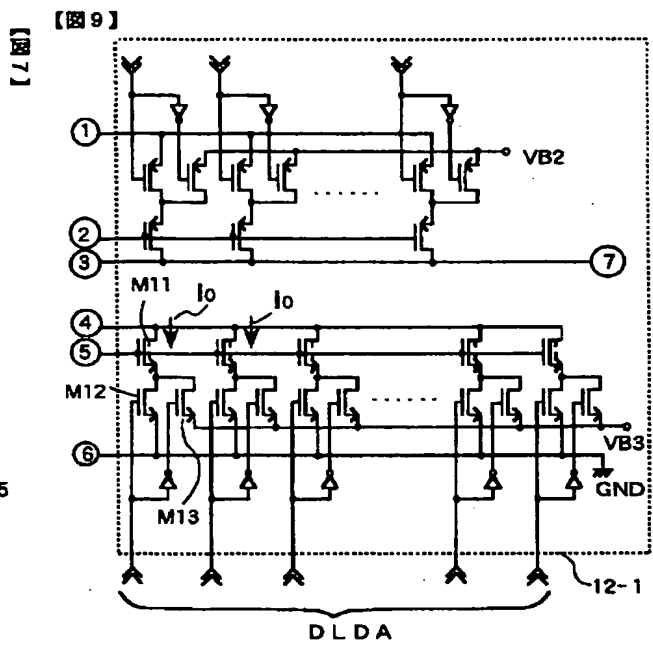
【図 6】



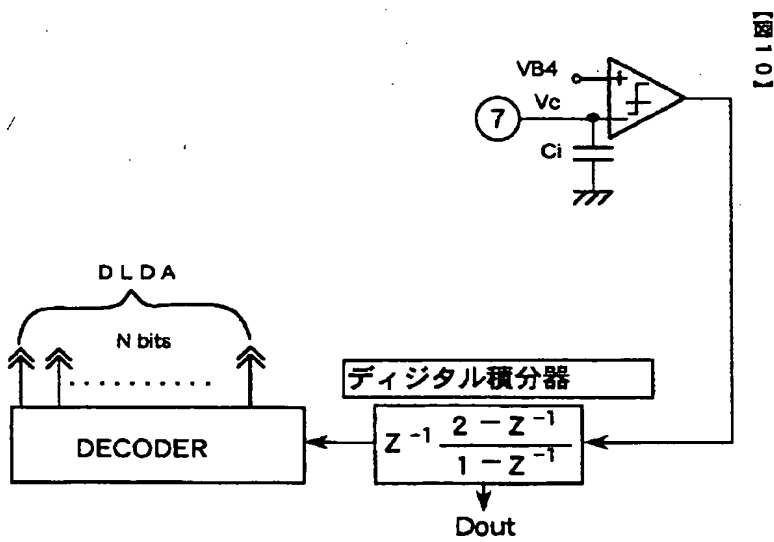
【図7】



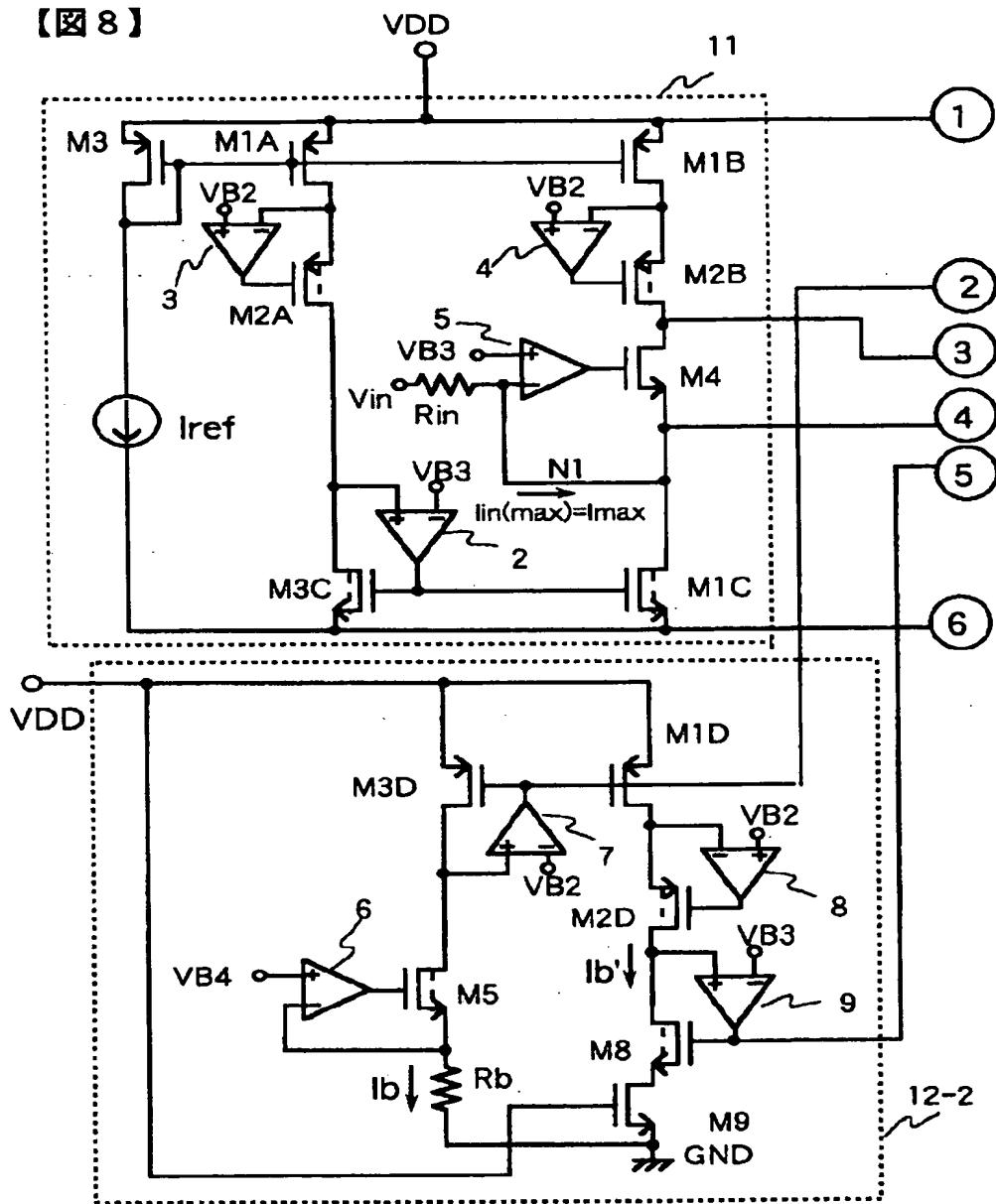
【図9】



【図10】

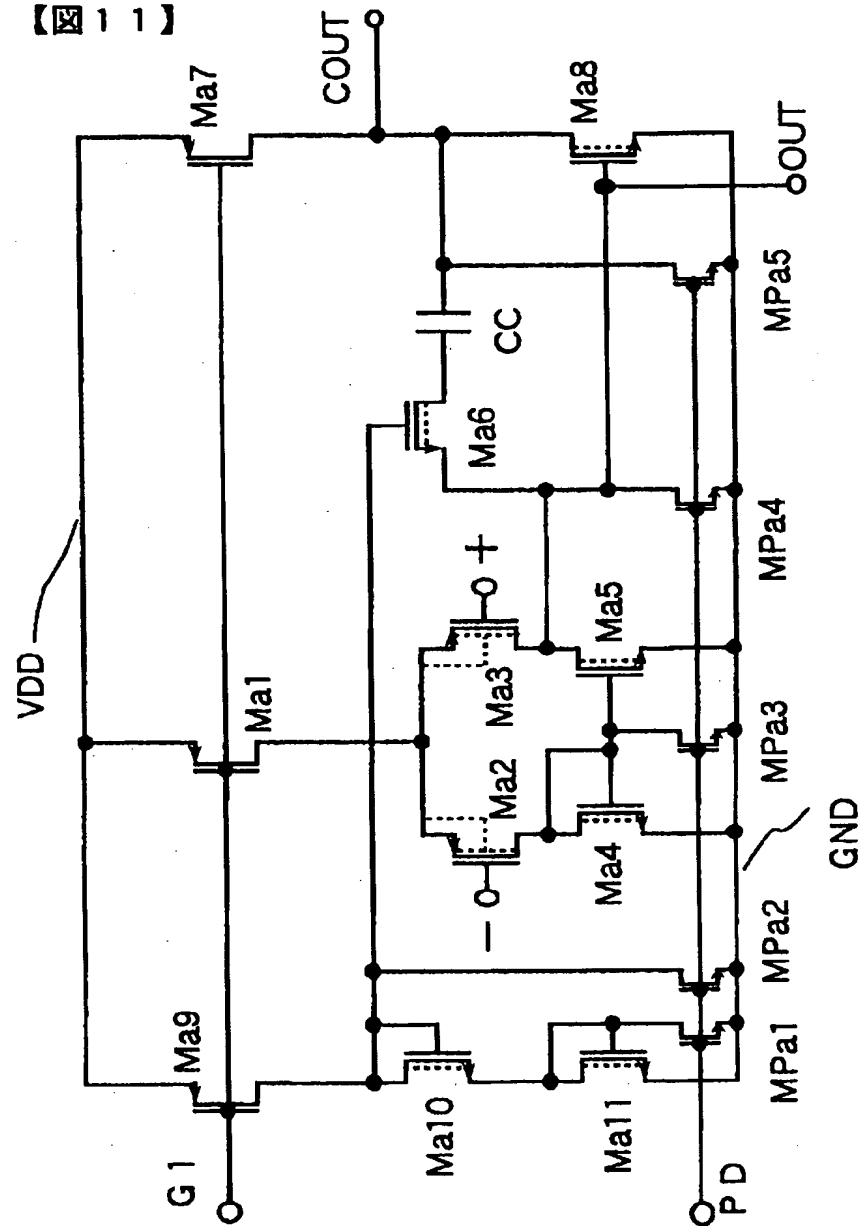


【図 8】



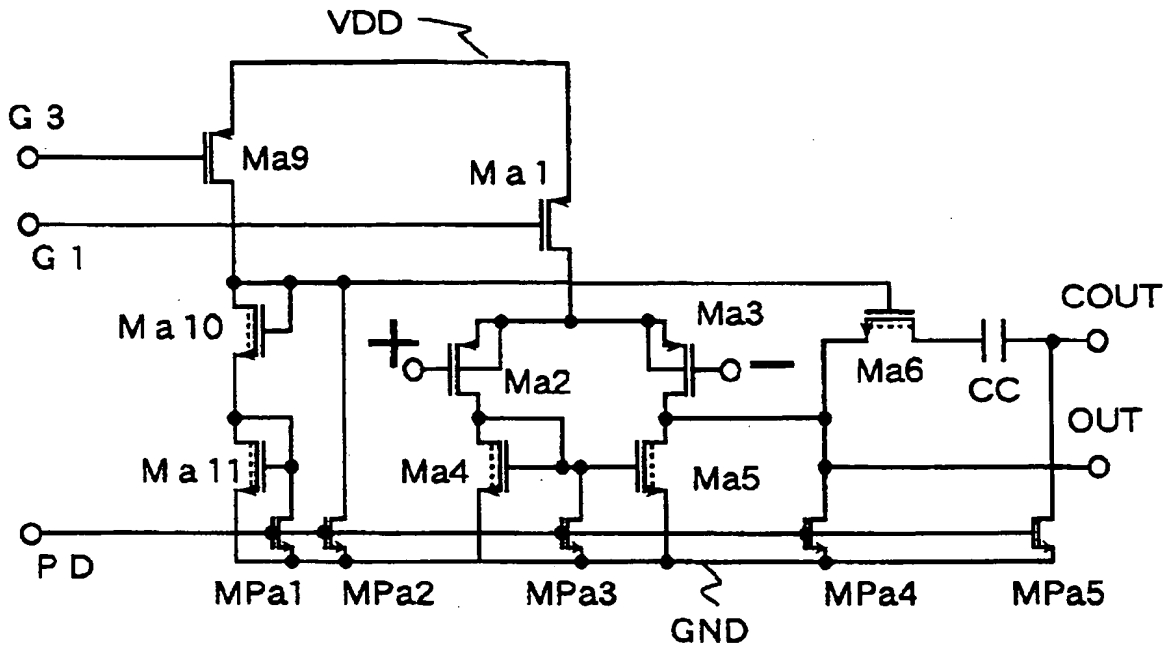
【図11】

【図11】



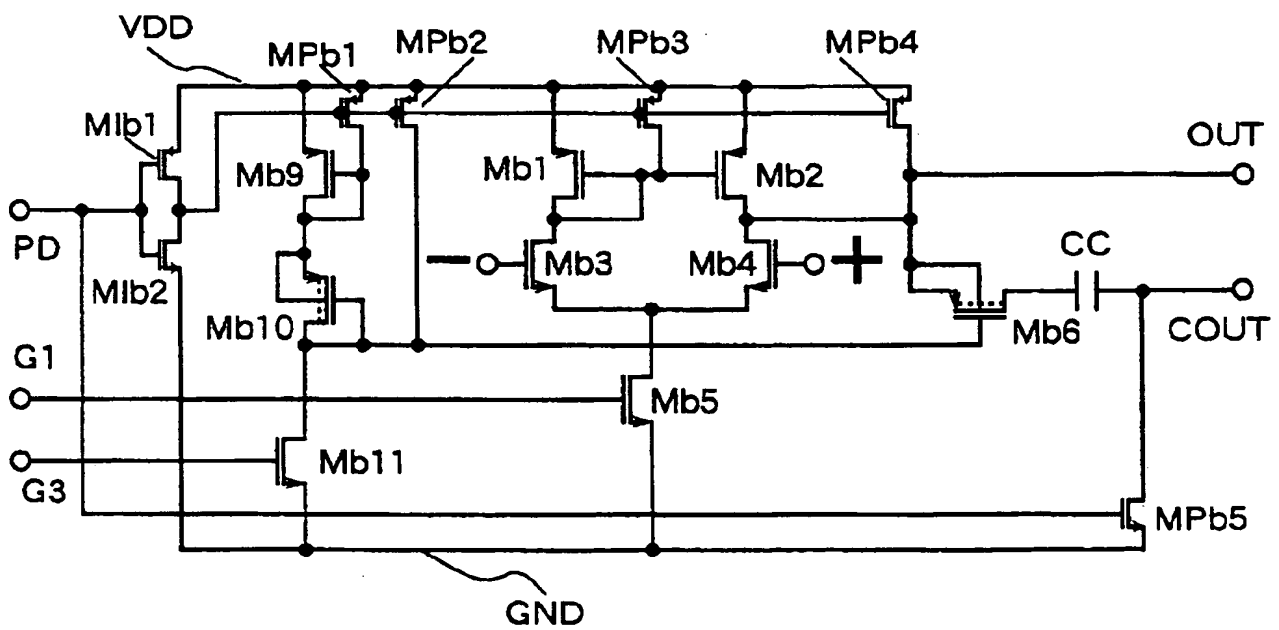
【図12】

【図12】



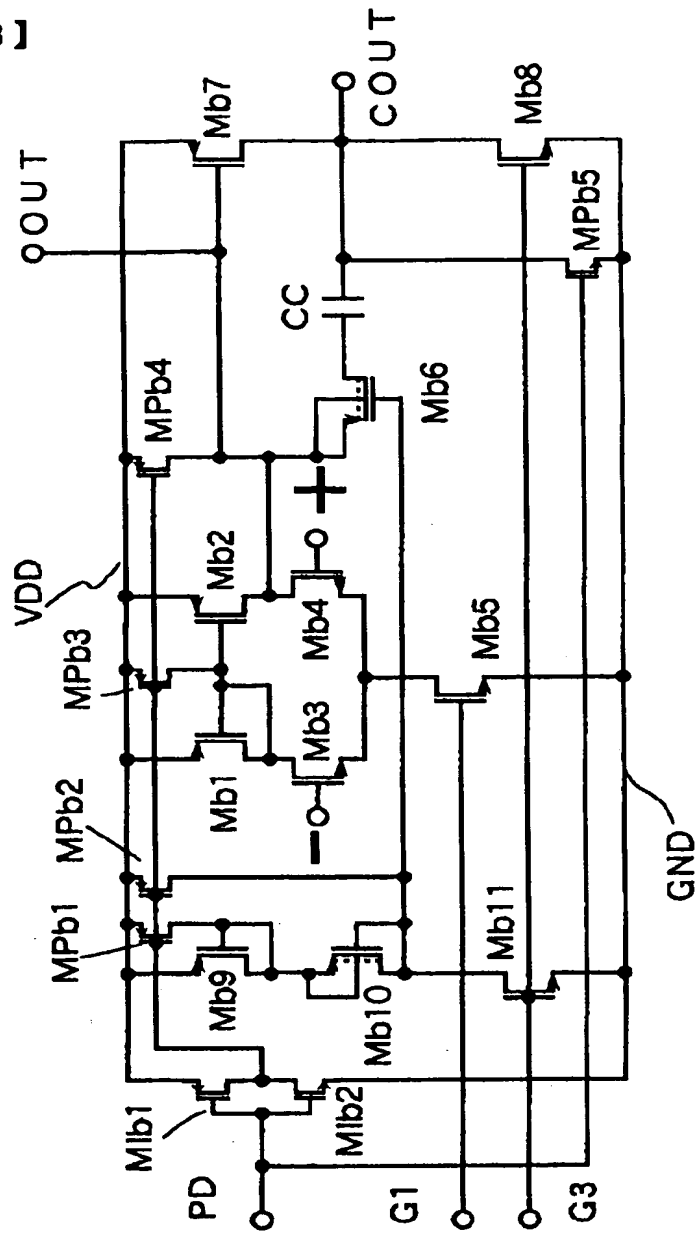
【図14】

【図14】

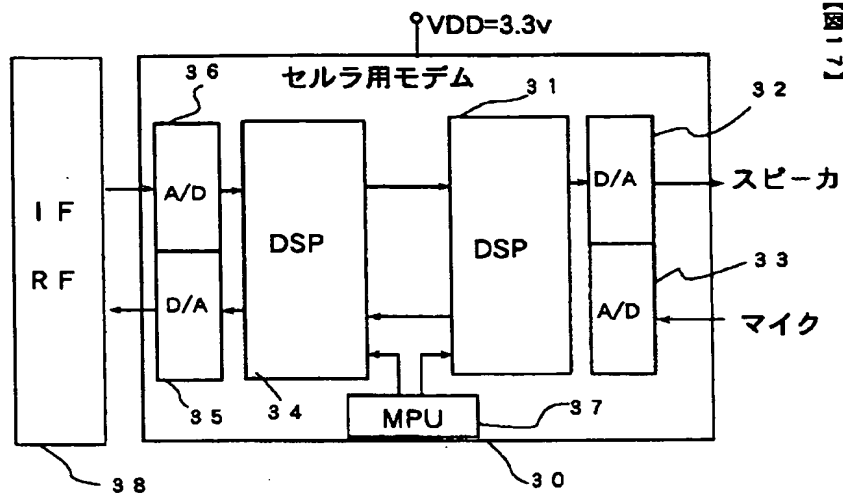


【図 1 3】

【図 1 3】



【図 17】



フロントページの続き

(72) 発明者 西川 法光
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 小林 洋一郎
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.